

**IIE-PCI**

---

## Una plataforma de desarrollo para el bus PCI

Integrantes: Sebastián Fernández, Ciro Mondueri

Docente: Juan Pablo Oliver

Instituto de Ingeniería Eléctrica - Facultad de Ingeniería

30 de Diciembre de 2003

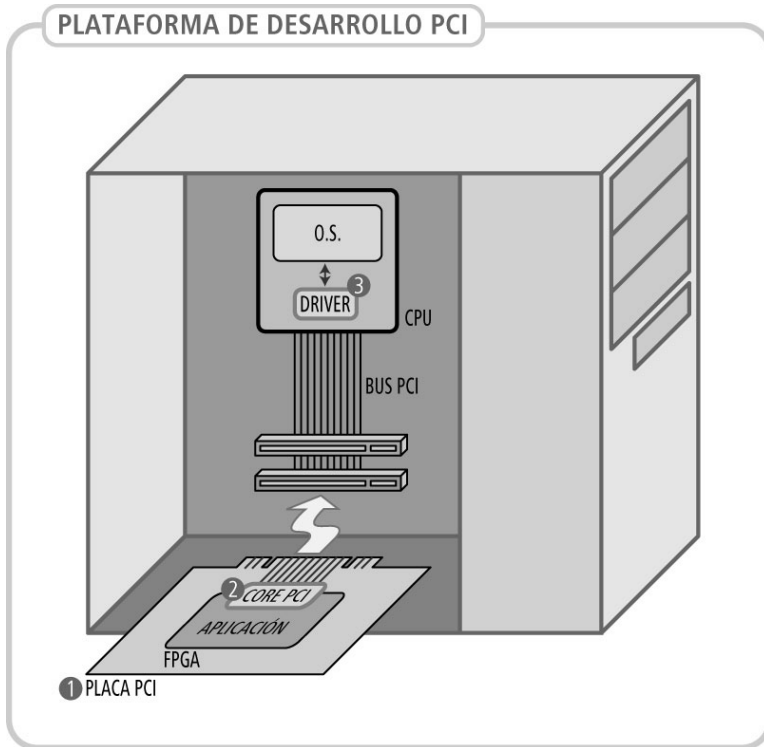
# Introducción

---

## **Plataforma de desarrollo para el bus PCI**

Conjunto de herramientas que facilitan el desarrollo de placas para el bus PCI

- \* Placa PCI basada en lógica reconfigurable
- \* Core PCI
- \* Driver PCI y herramientas software



## Motivación

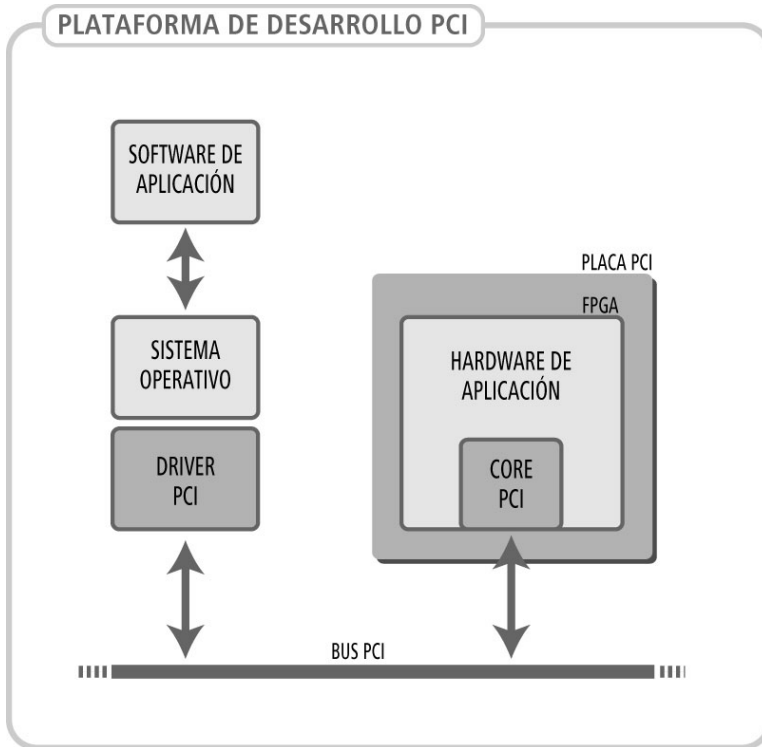
---

- \* PC: interesante para implementación de aplicaciones hardware
- \* PC: funcionalidad extensible mediante placas
- \* Placas para PC => bus PCI
- \* lógica reconfigurable muy útil para prototipos
- \* lógica reconfigurable + PC => Placa PCI + FPGA

## Motivación (2)

---

- \* aplicación configura FPGA de la placa
- \* bus PCI es complejo => core PCI + aplicación
- \* aplicación: hardware + software
- \* acceso a placa PCI desde software aplicación => driver PCI



# Objetivos

---

- \* diseño de un core PCI
- \* diseño y fabricación de placa PCI de propósito general
- \* desarrollo de driver PCI

## Core PCITWBM | Introducción

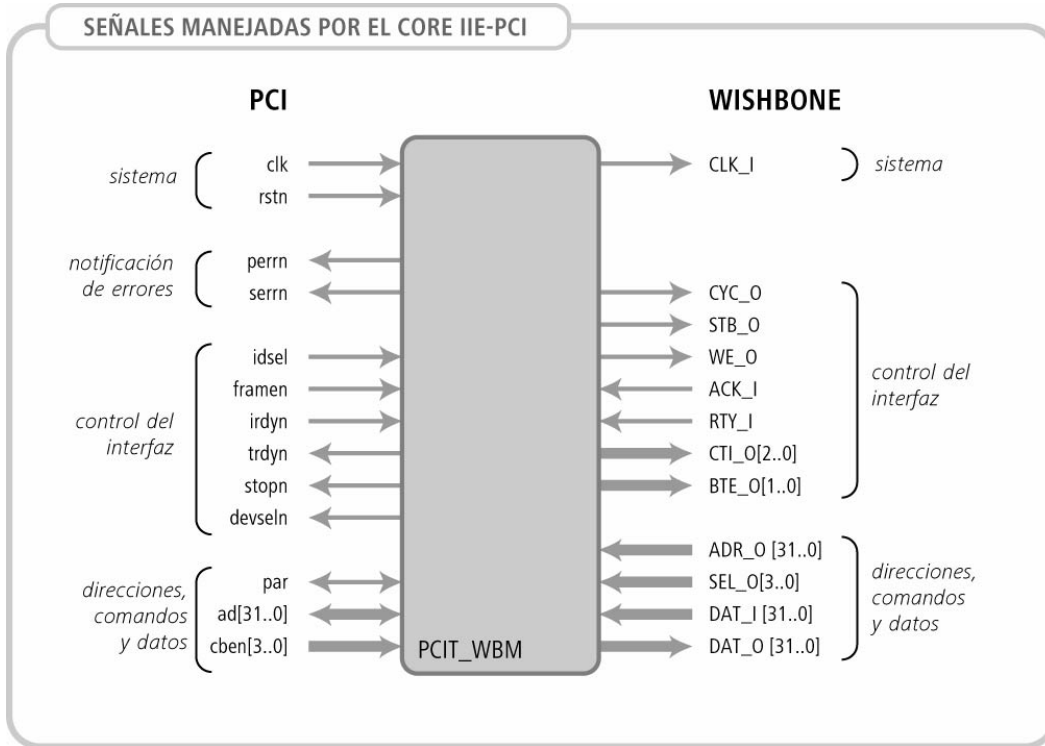
---

\* *traductor* PCI a WISHBONE

\* WISHBONE

- estándar para conectar circuitos dentro de un chip
- muy sencillo de utilizar: mucho más fácil que PCI





## Core PCITWBM | Características

---

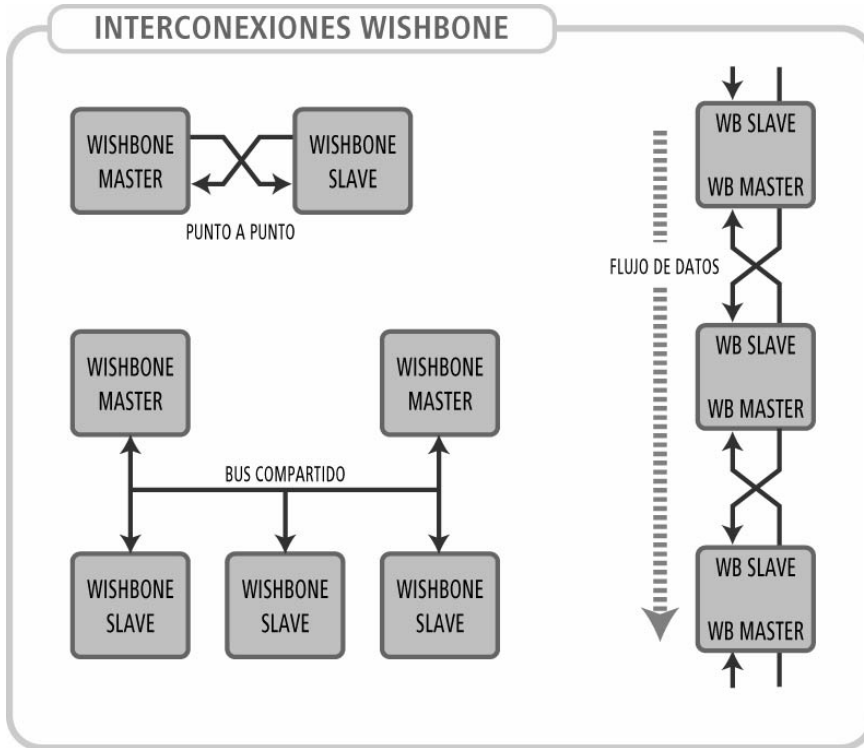
- \* PCI Target de 32 bits
- \* soporta mayoría de comandos PCI
- \* transferencias en modo *burst*
- \* desarrollado enteramente en VHDL
- \* interfaz de aplicación WISHBONE compatible
- \* licencia de libre distribución

## Core PCITWBM | WISHBONE

---

- \* especificación de interfaces de circuitos dentro de un integrado
- \* dominio público
- \* simplifica las interconexiones

# Core PCITWBM | Interconexión WISHBONE



# Core PCITWBM | Arquitectura

---

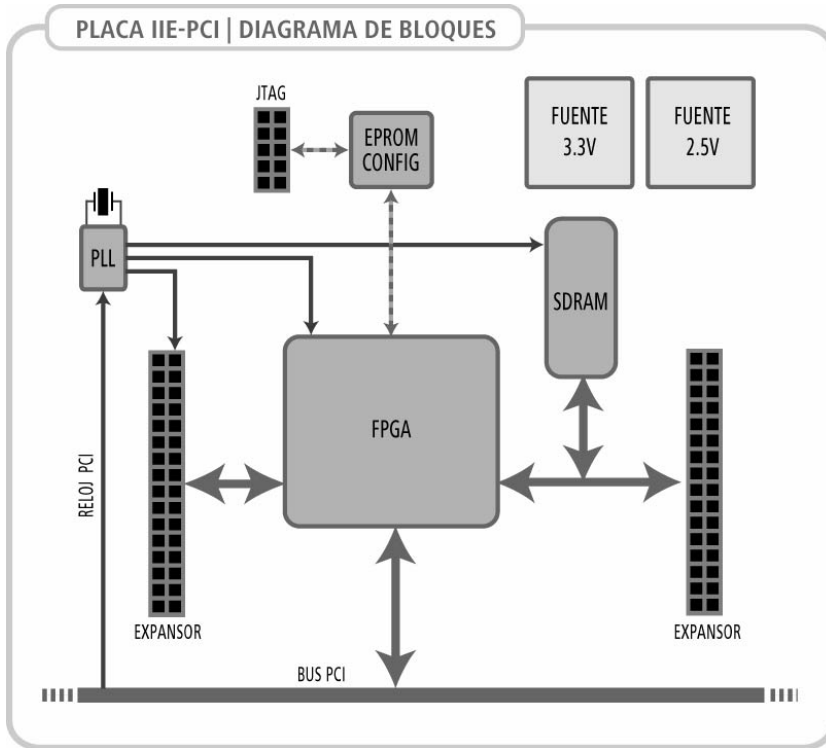
## Placa IIE-PCI | Introducción

---

- \* propósito general
- \* bajo costo
- \* lógica reconfigurable
- \* desarrollo y prueba de diseños que utilizan bus PCI



# Placa IIE-PCI | Diagrama





## Placa IIE-PCI | Características

---

- \* Compatible con bus PCI de 32 bit, 3.3V y 5V
- \* 128Mbit de memoria SDRAM on-board
- \* FPGA de la familia ACEX EP1K100PQ208
- \* Expansores con señales provenientes del FPGA
- \* Conversores DC-DC
- \* PLL regenerador y multiplicar del reloj
- \* funcionamiento stand-alone posible.

## Placa IIE-PCI | Comparación

---

### Comparación con otras placas utilizadas en el IIE

placa	FPGA	Typ. gates	Max. gates	LEs	EAB	FPGA RAM	Ext. RAM
IIE-PCI	EP1K100	100,000	257,000	4.992	12	48 kbit	16 MByte
ARC-PCI	EPF10K50	50,000	116,000	2.880	10	20 kbit	12 MByte
UP1	EPF10K20	20,000	63,000	1.152	6	12 kbit	0

## Placa IIE-PCI | Fabricación

---

### \* **Layout**

- ruteo manual
- 4 capas

### \* **Fabricación del impreso**

- USA

## Placa IIE-PCI | Montaje

---

### \* **Encapsulados TSOP**

- 1.6mm entre patas

### \* **Soldadura manual**

- microscopio bifocal de 15x
- soldador de punta fina (0.4mm)
- flux
- paciencia

## Placa IIE-PCI | Costo

---

Item	Costo (en dólares americanos)
FPGA	70
SDRAM	8
EPC2	34
otros componentes	70
circuito impreso	150
total	332

- \* Tiraje de 10 impresos baja costo unitario a U\$S 48
- \* Costo unitario para 10 placas: U\$S 230

## Driver PCI | Introducción

---

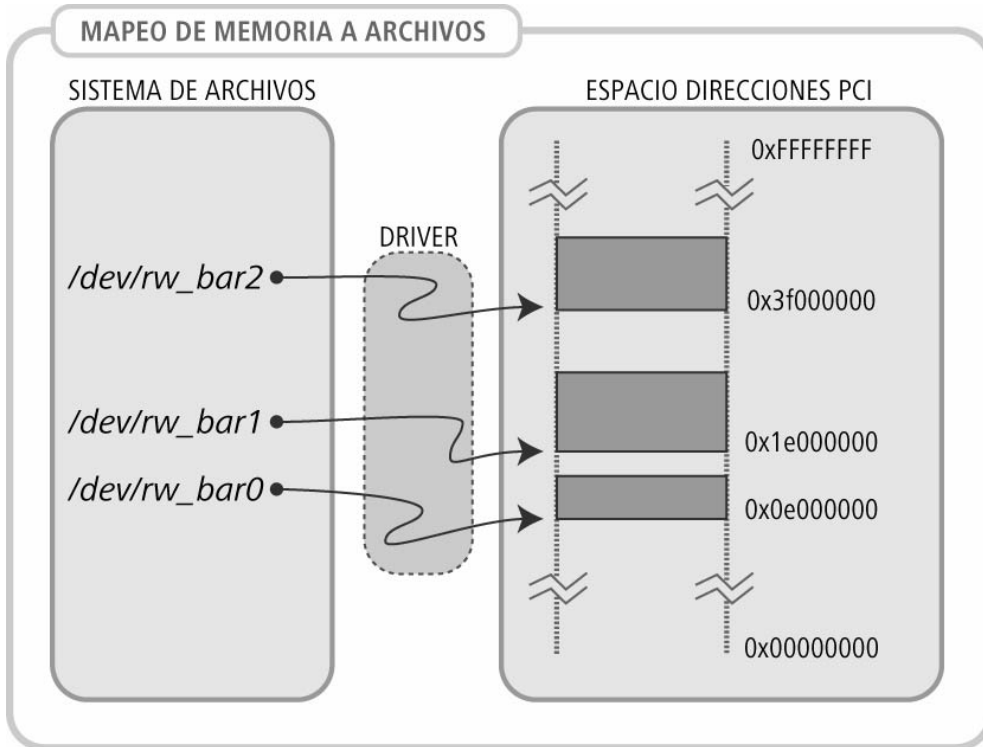
- \* drivers son específicos para la aplicación
- \* se implementó un driver de ejemplo útil para las pruebas

## Driver PCI | Descripción general

---

- \* driver modular para Linux 2.4
- \* licencia de libre distribución
- \* despliega estadísticas de uso
- \* mapea cada región de memoria como un archivo

# Driver PCI | Acceso como archivos





# Demo

---

## Conclusiones

---

### **core PCITWBM**

- core PCI target
- en lenguaje VHDL y de libre distribución
- interfaz WISHBONE

### **placa IIE-PCI**

- bajo costo: U\$S 250 el prototipo
- sencilla de fabricar con pocas herramientas
- diseño de dominio público

### **driver PCI**

- permitió realizar las pruebas necesarias
- fácilmente adaptable
- libre distribución

## Mejoras placa IIE-PCI

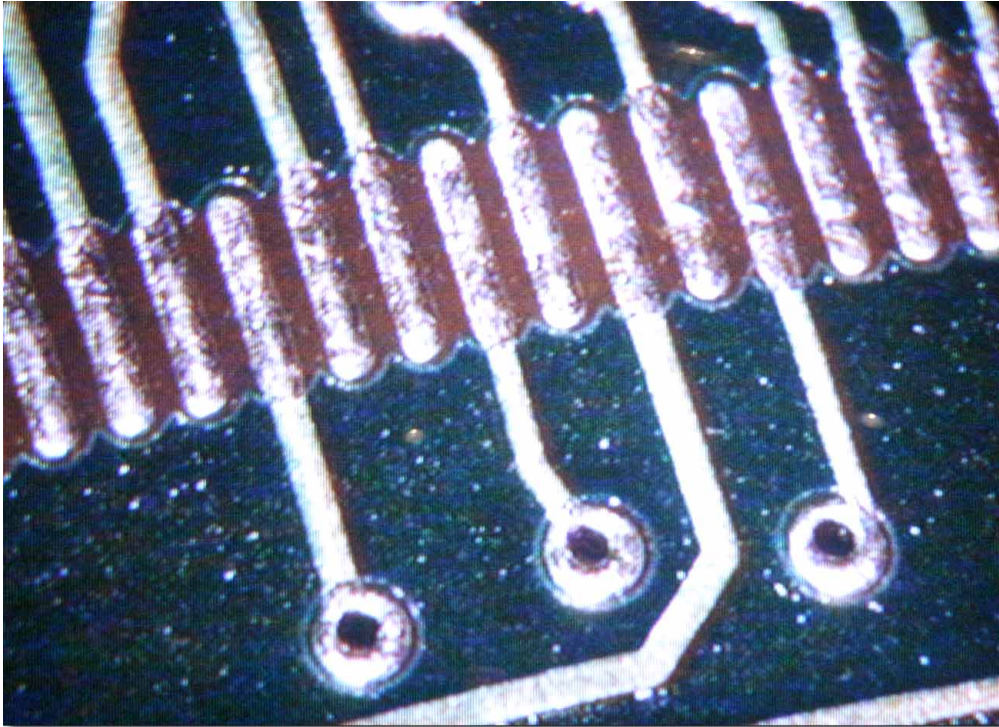
---

### **Circuito de reloj**

- permita 2 fuentes de reloj distintas a la vez

### **Correcciones en layout**

- thermal reliefs
- máscara antisoldante entre pads más finos
- usar gold fingers para conector PCI



## Mejoras core PCITWBM

---

### **Manejo de interrupciones**

- más eficiente que *polling*

### **Testbench completo**

- para poder perfeccionar el core

## Créditos

---

### **Este proyecto fue posible gracias a:**

- estructura espacio configuración PCI: Pablo Aguayo
- FPGAs: donación ALTERA
- SDRAM: donación MICRON
- Primeras soldaduras: CCC del Uruguay - Pedro Arzuaga
- Controlador SDRAM: Jimena Saporiti y Agustin Villavedra
- Soldador de punta fina: Etienne Delacroix
- Microscopio bifocal: Clínica Oftalmológica Mondueri - Ruiz

# Agradecimientos

---

## **Agradecemos especialmente a:**

Nuestras familias, Mariana Robano, los Tatos, Etienne Delacroix, Julio Pérez, Juan Pablo Oliver, Fiorella Haim, Javier Rodríguez, Virginia Marchesano, Pablo Rolando, Pedro Arzuaga, Fernando Silveira, Conrado Rossi, Guillermo Jaquenod, Leonardo Steinfeld, Alvaro Tuzman, Jimmy Baikoviciuis, Carlos Pechiar, Mariana Borges, Santiago Castillo, Alvaro "Cheche" Rovira, Allison Martínez, Sebastián Filippini, Martín Guimaranes, TWiki y TWiki2pdf.